





## DAMASCENE WIRING STRUCTURE AND SEMICONDUCTOR DEVICE HAVING DAMASCENE WIRING

**Patent number:** JP2001298084  
**Publication date:** 2001-10-26  
**Inventor:** OTSUKA TOSHIYUKI; YAMAGAMI AKIRA  
**Applicant:** FUJITSU LTD  
**Classification:**  
- **International:** H01L21/768; H01L21/3205  
- **European:**  
**Application number:** JP20000113286 20000414  
**Priority number(s):**

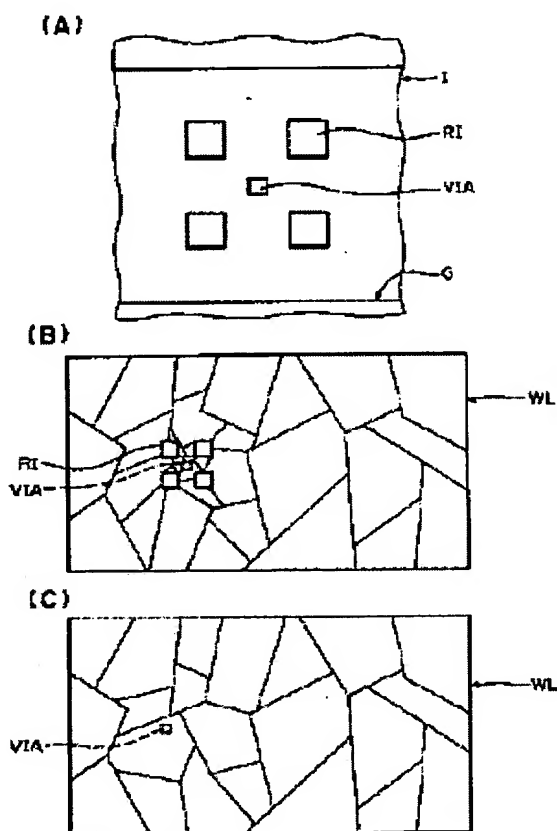
**Also published as:**

 EP1146558 (A2)  
 US6373136 (B2)  
 US2001030365 (A1)  
 EP1146558 (A3)

**Abstract of JP2001298084**

**PROBLEM TO BE SOLVED:** To provide a highly reliable damascene wiring structure, and a semiconductor device which has such a damascene wiring structure.

**SOLUTION:** This is a damascene wiring structure which has a lower wiring structure, a groove for wiring is made from the top side of an interlayer insulating film, a via hole which reaches as far as the lower wiring structure and has a diameter smaller than the width of the groove for wiring, and an insulating projection pattern which is projecting upward from the bottom of the groove for wiring in the region outside the via hole and is made of the same material as the interlayer insulating film. First area occupation factor in the first region within a groove for wiring near the via hole is higher than whose second area occupation factor away from the via hole, and dual damascene wiring is made to fill the groove for wiring and the via hole.



Data supplied from the esp@cenet database - Patent Abstracts of Japan

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号  
特開2001-298084  
(P2001-298084A)

(43) 公開日 平成13年10月26日 (2001. 10. 26)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	フォーマット* (参考)
H 0 1 L 21/768		H 0 1 L 21/90	B 5 F 0 3 3
21/3205		21/88	A

審査請求 未請求 請求項の数10 O L (全 17 頁)

(21) 出願番号 特願2000-113286 (P2000-113286)  
(22) 出願日 平成12年4月14日 (2000. 4. 14)

(71) 出願人 000005223  
富士通株式会社  
神奈川県川崎市中原区上小田中4丁目1番  
1号  
(72) 発明者 大塚 敏志  
神奈川県川崎市中原区上小田中4丁目1番  
1号 富士通株式会社内  
(72) 発明者 山上 朗  
神奈川県川崎市中原区上小田中4丁目1番  
1号 富士通株式会社内  
(74) 代理人 100091340  
弁理士 高橋 敬四郎

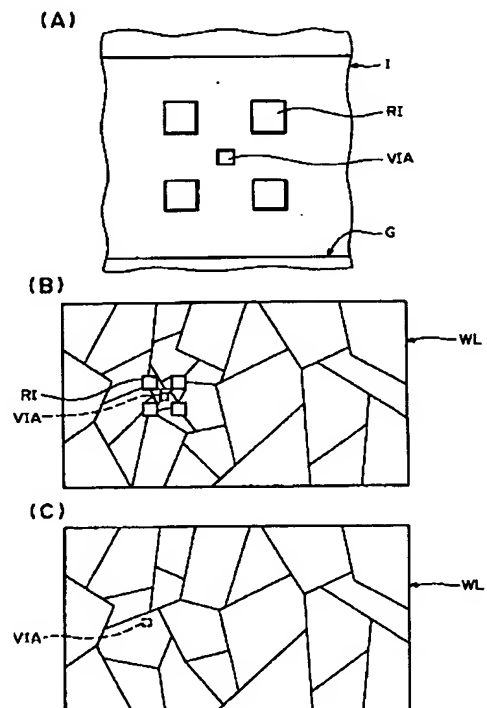
最終頁に続く

(54) 【発明の名称】 ダマシン配線構造およびダマシン配線を有する半導体装置

(57) 【要約】

【課題】 信頼性の高いダマシン配線構造またはこのようなダマシン配線構造を有する半導体装置を提供する。

【解決手段】 下層配線構造と、層間絶縁膜の上面から形成された配線用溝、および下層配線構造まで達し、配線用溝の幅よりも狭い径を有するビア孔と、ビア孔の外側の領域で、配線用溝の下面から上方に突出し、層間絶縁膜と同一材料で形成された絶縁突起パターンであって、ビア孔近傍の第1の配線用溝内領域における絶縁突起パターンの第1の面積占有率はビア孔から離れた第2の配線用溝内領域における絶縁突起パターンの第2の面積占有率より高い絶縁突起パターンと、配線用溝とビア孔とを埋め込んで形成されたデュアルダマシン配線とを有するダマシン配線構造。



## 【特許請求の範囲】

## 【請求項1】 下層配線構造と、

前記下層配線構造を覆う層間絶縁膜と、  
前記層間絶縁膜の上面から形成された配線用溝、および  
前記配線用溝の内部領域の下面から前記層間絶縁膜を貫通し、前記下層配線構造まで達し、前記配線用溝の幅よりも狭い径を有するビア孔と、  
前記ビア孔の外側の領域で、前記配線用溝の下面から上方に突出し、前記層間絶縁膜と同一材料で形成された絶縁突起パターンであって、前記ビア孔近傍の第1の配線用溝内領域における前記絶縁突起パターンの第1の面積占有率は前記ビア孔から離れた第2の配線用溝内領域における前記絶縁突起パターンの第2の面積占有率より高い絶縁突起パターンと、  
前記配線用溝と前記ビア孔とを埋め込んで形成されたデュアルダマシン配線とを有するダマシン配線構造。

【請求項2】 前記配線用溝は、約2 $\mu$ mを越える幅を有する請求項1記載のダマシン配線構造。

【請求項3】 前記ビア孔の径は、約1 $\mu$ m以下である請求項2記載のダマシン配線構造。

【請求項4】 前記絶縁突起パターンは、前記ビア孔の近傍に分散配置された複数の絶縁突起を含む請求項1記載のダマシン配線構造。

【請求項5】 前記第1の面積占有率は、約10%以上である請求項4記載のダマシン配線構造。

【請求項6】 前記複数の絶縁突起は、前記ビア孔を囲む少なくとも1つのループに沿って、ほぼ等間隔で配置され、その間に前記デュアルダマシン配線の細幅領域を画定する第1の複数の絶縁突起を含む請求項4記載のダマシン配線構造。

【請求項7】 前記絶縁突起パターンは、前記ビア孔の周辺を、一部領域を除いて取り囲む請求項1記載のダマシン配線構造。

【請求項8】 前記絶縁突起パターンは、前記ビア孔を取り囲むように配置されたU字型絶縁突起パターンを含み、前記デュアルダマシン配線は、前記U字の開口部に沿って延在する細幅配線と、前記ビア孔から離れた位置で前記細幅配線に接続され、前記細幅配線よりも広い幅を有する広幅配線とを含む請求項7記載のダマシン配線構造。

【請求項9】 半導体基板と、  
前記半導体基板上に形成された集積回路構造と、  
前記集積回路構造の上方に形成された多層配線と、  
前記半導体基板上に形成された複数のパッドとを含み、  
前記多層配線が下層配線構造と、  
前記下層配線構造を覆う層間絶縁膜と、  
前記層間絶縁膜の上面から形成された配線用溝、および  
前記配線用溝の内部領域の下面から前記層間絶縁膜を貫通し、前記下層配線構造まで達し、前記配線用溝の幅よりも狭い径を有するビア孔と、

前記ビア孔の外側の領域で、前記配線用溝の下面から上方に突出し、前記層間絶縁膜と同一材料で形成された絶縁突起パターンであって、前記ビア孔近傍の領域における前記絶縁突起パターンの第1の面積占有率は前記ビア孔から離れた領域における前記絶縁突起パターンの第2の面積占有率より高い絶縁突起パターンと、  
前記配線用溝と前記ビア孔とを埋め込んで形成されたデュアルダマシン配線とを有する半導体装置。

【請求項10】 前記複数のパッドが、電源用パッドを含み、前記デュアルダマシン配線が前記電源用パッドに接続されている請求項9記載の半導体装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は、配線構造または配線構造を有する半導体装置に関し、特にダマシン配線構造またはダマシン配線構造を有する半導体装置に関する。

## 【0002】

【従来の技術】 従来、半導体装置の金属配線材料としては、AlまたはAl合金が多用されてきた。AlおよびAl合金は低抵抗率であり、ホトレジスト層のマスクおよびエッチャントガスを用いたパターニングが容易である。

【0003】近年、半導体装置の微細化および高速化により、より低抵抗率かつ高電流密度の配線材料が要求されている。このような配線材料として、Cuが着目されている。ところで、Cu配線をパターニングする場合、エッチングを用いると、エッチャントおよび水分の影響でコロージョンが発生する。従って、ホトレジストマスクとエッチャントガスを用いたパターニングはCu配線には不適であり、あらかじめ形成した凹部にCu配線層を埋め込み、その後不要部を研磨により除去するダマシン法が用いられている。

【0004】下層配線と上層配線を接続するためには、層間絶縁膜中に形成したビア孔を埋め込むビア導電体が用いられる。ビア導電体と上層配線層とを別個の工程で作成すると、総処理時間が長くなる。総処理時間を短くするためには、多層配線層間のビア孔と上層配線層用の溝とに同一工程で金属を埋め込みその後研磨して凹部内にのみ金属を残すデュアルダマシン法が採用されている。

【0005】しかしながら、Cuを用いたデュアルダマシン法においては、断線などの配線欠陥が生じている。

【0006】図20(A)～(D)に従来のCuデュアルダマシン法により生じていた配線欠陥の例を示す。

【0007】図20(A)は、形成すべきCu多層配線の構成例を示す。下層絶縁層104中に幅の狭い下層配線用溝部が形成され、この下層配線用溝部内にCu下層配線105が形成される。例えば、バリアメタル層をスパッタリングで堆積した後、その上に銅配線層を電解メ

ッキで形成する。下層絶縁層104表面上に堆積したCuは、化学機械研磨(CMP)により除去される。

【0008】下層配線層105を形成した後、その上に層間絶縁膜としてSiN層106、SiO<sub>2</sub>層107、SiN層116、SiO<sub>2</sub>層117を堆積する。この層間絶縁層中に、層間配線層接続用のビア孔108を形成し、ビア孔108をレジストなどにより埋め戻した後、SiO<sub>2</sub>層117、SiN層116を選択的に除去して幅の広い上層配線用溝が形成される。

【0009】上層配線用溝およびビア孔108を露出し、ビア導電体109と上層配線層110を同一の導電層形成工程により作成する。例えば、バリアメタル層をスパッタリングで堆積した後、その上に銅配線層を電解メッキで形成する。SiO<sub>2</sub>層117表面上に堆積したCuは、研磨により除去される。このようにして、ビア導電体109および上層配線層110からなるデュアルダマシン配線DDが形成される。上層配線層110形成後、その表面にSiN層111、SiO<sub>2</sub>層112からなる上層絶縁層が形成される。

【0010】このようにして、Cu配線層からなる多層配線構造が形成される。層間接続用のビア導電体109は、上層配線層110と同一材料で形成される。

【0011】ところで、このような多層配線構造を形成すると、断線等の配線不良が発生することが分かった。断線等の配線不良は、ビア孔またはビア孔近傍の下層Cu配線に発生することが多い。

【0012】図20(B)は、ビア孔108中央部にボイド120が発生した配線不良の構成を概略的に示す。ビア孔108中央部にボイド120が発生し、下層配線層105と上層配線層110の電氣的接続を切断してしまう。

【0013】図20(C)は、ビア孔108下部にボイド120が発生し、配線不良が発生する場合を示す。ボイド120の発生箇所は異なっても、上層配線層110と下層配線層105の電氣的接続が阻害されることに代りはない。ボイドは、ビア孔のみに発生するのではなく、ビア導電体と下層配線層の間にも発生する。

【0014】図20(D)は、ビア導電体109と下層配線層105の接続部分の下層配線層にボイド120が発生する場合を示す。ボイド120が下層配線層105の接続部分に発生し、下層配線層105とビア導電体109との電氣的接続を切断している。

【0015】デュアルダマシン法を用いた多層Cu配線構造においては、ビア導電体またはビア導電体と接続する下層配線層表面部にボイドが発生し、配線不良を生じることが多い。信頼性のある多層配線構造を作成するためには、このような配線不良を防止することが望まれる。

【0016】

【発明が解決しようとする課題】このように、Cuを用

いた多層配線構造をデュアルダマシン構造で形成すると、配線不良が発生し、信頼性を損なうことが分かった。

【0017】本発明の目的は、信頼性の高いダマシン配線構造またはこのようなダマシン配線構造を有する半導体装置を提供することである。

【0018】本発明の他の目的は、総処理時間が短く、かつボイドの発生しにくい多層配線構造または多層配線構造を有する半導体装置を提供することである。

【0019】

【課題を解決するための手段】本発明の1観点によれば、下層配線構造と、前記下層配線構造を覆う層間絶縁膜と、前記層間絶縁膜の上面から形成された配線用溝と、および前記配線用溝の内部領域の下面から前記層間絶縁膜を貫通し、前記下層配線構造まで達し、前記配線用溝の幅よりも狭い径を有するビア孔と、前記ビア孔の外側の領域で、前記配線用溝の下面から上方に突出し、前記層間絶縁膜と同一材料で形成された絶縁突起パターンであって、前記ビア孔近傍の第1の配線用溝内領域における前記絶縁突起パターンの第1の面積占有率は前記ビア孔から離れた第2の配線用溝内領域における前記絶縁突起パターンの第2の面積占有率より高い絶縁突起パターンと、前記配線用溝と前記ビア孔とを埋め込んで形成されたデュアルダマシン配線とを有するダマシン配線構造が提供される。

【0020】本発明の他の観点によれば、半導体基板と、前記半導体基板上に形成された集積回路構造と、前記集積回路構造の上方に形成された多層配線と、前記半導体基板上に形成された複数のパッドとを含み、前記多層配線が下層配線構造と、前記下層配線構造を覆う層間絶縁膜と、前記層間絶縁膜の上面から形成された配線用溝、および前記配線用溝の内部領域の下面から前記層間絶縁膜を貫通し、前記下層配線構造まで達し、前記配線用溝の幅よりも狭い幅を有するビア孔と、前記ビア孔の外側の領域で、前記配線用溝の下面から上方に突出し、前記層間絶縁膜と同一材料で形成された絶縁突起パターンであって、前記ビア孔近傍の領域における前記絶縁突起パターンの第1の面積占有率は前記ビア孔から離れた領域における前記絶縁突起パターンの第2の面積占有率より高い絶縁突起パターンと、前記配線用溝と前記ビア孔とを埋め込んで形成されたデュアルダマシン配線とを有する半導体装置が提供される。

【0021】ビア孔上部での上層配線層の結晶粒径が小さくなり、ストレスマイグレーションが抑制され、配線の断線が低減する。

【0022】

【発明の実施の形態】本発明者等は、Cu多層配線構造になぜボイドが発生するのかを調べた。

【0023】図2(A)、(B)は、本発明者等が実験に用いたビアチェーンのサンプル構成を示す。図2

(A)は平面構成を示し、図2(B)は、断面構成を示す。

【0024】図2(B)に示すように、下層絶縁層104表面に深さ約0.45 $\mu\text{m}$ の配線層用溝G1が形成され、この配線層用溝G1を埋め込んで下層配線層105が形成される。配線層は、スパッタ法により厚さ約30nmのTa<sub>2</sub>N<sub>5</sub>バリアメタル層をスパッタリングで成膜した後、電解メッキにより溝内をCuで埋め込み、次に表面上に形成された不要な配線層を化学機械研磨(CMP)により除去して形成する。

【0025】なお、実験用サンプルはビアチェーンを作成するものであり、下層配線層105は一定の距離を置いて繰り返し作成された。下層配線層105は、Si基板表面上に形成された厚さ約0.5 $\mu\text{m}$ のシリコン酸化膜上に形成されている。

【0026】下層配線層105の上に、層間絶縁膜107が形成された。層間絶縁膜107に、ビア孔および上層配線層用溝G2が形成され、デュアルダマシン法によりCuの上層配線層110およびビア導電体109が上述の配線層形成工程と同様の工程を共用して作成される。なお、層間絶縁膜107表面上に形成された導電層は、CMPなどにより除去される。

【0027】なお、デュアルダマシン配線層は、厚さ約30nmのTa<sub>2</sub>N<sub>5</sub>層と、その上の銅層で形成される。上層配線層の厚さは約0.45 $\mu\text{m}$ であり、ビア孔の高さは約700nmである。ビアチェーンの数は約2000ビアである。

【0028】図2(A)は、上層配線層110を形成した後の平面構成を概略的に示す。上層配線層110は、例えば幅wwが10 $\mu\text{m}$ であり、長さdが20 $\mu\text{m}$ である矩形Cu配線層を繰り返し配置したものである。下層配線層105も、上層配線層110と同じ幅wwを有し、上層配線層110と端部が重なるように一定間隔で配置されている。

【0029】ビア導電体109の端部は、上層配線層110および下層配線層105の重複部分に一致するように形成されており、その幅vwは、上層配線層110および下層配線層107の幅wwよりも大幅に狭く設計されている。サンプルにおいては、上層配線層110および下層配線層105の幅は約10 $\mu\text{m}$ であるのに対し、ビア導電体の径vwは約0.3 $\mu\text{m}$ である。測定用サンプルは、このようなビアチェーンをチェーン数1000(ビア数2000)程度接続したものである。

【0030】図2(C)は、下層配線層105および上層配線層110の配線幅wwを10 $\mu\text{m}$ に設定し、多数のビアチェーンを形成した後、高温放置を行なって不良発生を測定した結果を示している。

【0031】横軸は放置温度を $^{\circ}\text{C}$ で示し、縦軸は不良率を%で示す。放置時間は168時間(1週間)とした。高温放置温度100~250 $^{\circ}\text{C}$ において、不良率は明ら

かにピークを示している。100 $^{\circ}\text{C}$ および250 $^{\circ}\text{C}$ に放置した場合、不良が発生する不良率はほぼ0%であるのに対し、放置温度が125 $^{\circ}\text{C}$ ~200 $^{\circ}\text{C}$ の間において、不良率が増加し、最大となる温度が存在している。図2(C)においては、放置温度150 $^{\circ}\text{C}$ 付近において不良率のピークが存在すると認められる。

【0032】このような特性は、ストレスマイグレーション特有の振る舞いである。上述のデュアルダマシン構造を用いると、ストレスマイグレーションが発生しやすいということが分かる。

【0033】ストレスマイグレーションは、金属配線層と層間絶縁膜との熱膨張係数が異なり、室温と高温放置温度との間の温度領域において、熱膨張率の差から配線層内にストレスが発生し、ストレスにより配線層内の金属(Cu)原子がマイグレーションすることに基づく現象である。例えば、金属配線層は高温で圧縮ストレスを受け、低温で伸張ストレスを受ける。このようなストレスを受けたとき、金属配線層は耐性の弱い部分で切断してしまう。

【0034】図2(C)の実験結果から、配線不良の発生はストレスマイグレーションによる可能性が強いことが分かった。次にこのストレスマイグレーションによると考えられる配線不良が、上層配線および下層配線の配線幅にどのように依存するかを調べた。配線層の幅wwをパラメータとし、0.3 $\mu\text{m}$ 、1 $\mu\text{m}$ 、2 $\mu\text{m}$ 、3 $\mu\text{m}$ 、5 $\mu\text{m}$ 、10 $\mu\text{m}$ と変化させ、ビア径を0.3 $\mu\text{m}$ に保ったときの結果を図2(D)に示す。

【0035】図2(D)の実験結果は、配線層の幅が増大するにつれ、不良率が急激に増大することを示している。配線幅が約2 $\mu\text{m}$ 以下の領域においては、不良率の発生はほぼ0であるが、配線幅が2 $\mu\text{m}$ を越えると、不良率が上昇し、特に配線幅が5 $\mu\text{m}$ を越えると、不良率は大きな値となっている。本明細書においては、2 $\mu\text{m}$ を越える幅を有する配線を広幅配線と呼ぶ。広幅配線は典型的には幅3 $\mu\text{m}$ 以上、さらに典型的には幅5 $\mu\text{m}$ 以上である。

【0036】この結果から、広幅配線に接続されるビア孔が小径の場合、広幅配線の幅が大きくなると不良率が増大することが分かる。配線幅wwが約2 $\mu\text{m}$ 以下の領域においては、不良率が約0%であることから、ビア孔の径に対し、広幅配線の幅が約7倍以下であれば、不良率は大幅に減少することが分かる。

【0037】広幅配線の幅wwが、ビア径vwの約7倍以上になると、不良率が増大する。特に広幅配線の幅が約5 $\mu\text{m}$ 以上になると、不良率は約0.15%以上と成ってしまう。

【0038】図2(A)、(B)のサンプルにおいては、広幅配線の端部にビア孔を形成した。次に、ビア孔を広幅配線の端部から離れた場合、端部から離す距離に依存してどのように不良率が変化するかを調べた。

【0039】図3(A)、(B)は、作成したサンプルの構造を示す平面図および断面図である。図2(A)、(B)に示すサンプル同様、厚さ約0.5 $\mu$ mのシリコン酸化膜の上に下層配線層105がダマシン工程により形成されている。

【0040】下層絶縁層104の上に層間絶縁膜107が形成され、層間絶縁膜107に上層配線用溝とビア孔が形成され、デュアルダマシン工程により上層配線層110、ビア導電体109が形成される。

【0041】本サンプルにおいては、上層配線層110の端部から距離 $y$ だけ離されている。距離 $y$ として0 $\mu$ mのサンプルと、5 $\mu$ mのサンプルとを作成した。その他の点は、図2(A)、(B)のサンプルと同様である。

【0042】図3(C)は、上層配線層の端部からビア孔が離れる距離により不良率がどのように変化するかを示すグラフである。横軸はビア孔と上層配線層端部との間隔 $y$ を単位2 $\mu$ mで示し、縦軸は不良率を%で示す。

【0043】距離 $y$ が0の場合、図2(D)で示した通り、不良率は約0.28%である。間隔 $y$ が5 $\mu$ mに増加すると、不良率はあからかな上昇を示し、約0.5%となった。この結果からビア孔は上層配線端部になるべく近い方が不良率の点からは良好な結果が得られると期待される。配線端部は、絶縁層との界面であり、絶縁層の影響が考えられる。

【0044】図4は、図3(A)、(B)に示すサンプルの断面の透過型電子顕微鏡写真のスケッチである。下層配線層、上層配線層はほぼ同等の粒径を有する結晶粒で形成されているが、ビア孔内の導電体は下層配線層、上層配線層と較べ著しく小さな粒径の結晶粒で形成されていることが観察される。

【0045】このように、ビア導電体とそれに連続する上層配線層(下層配線層)において、結晶粒の粒径が大きく異なると、各結晶粒の表面エネルギーが異なることになる。デュアルダマシン配線を形成した後、この表面を安定化するために、小さな粒径の結晶粒から大きな粒径の結晶粒へのマイグレーションが生じ、結晶成長が進むことが考えられる。この際、ビア導電体においては小さな粒径の結晶粒が多いため、小さな粒径の結晶粒から大きな粒径の結晶粒へのマイグレーションが生じると、ビア導電体内の原子が移動し、ボイドが発生することが考えられる。このような導電体原子の移動により、図20(B)～(D)に示すようなボイドが発生するものと考えられる。

【0046】なお、サンプルにおいては上層配線も下層配線も広幅配線で形成したが、実際のデバイスにおいては上層配線または下層配線の一方のみが広幅配線となる。

【0047】下層配線が高密度の細幅配線である場合、短絡防止、寄生容量低減のためにもビア孔の径は大きく

することが困難である。ビア孔は通常細幅配線の幅と同じ径に設計される。ビア孔の径は通常1 $\mu$ m以下であり、しばしば最小線幅と同一である。

【0048】電源配線、クロック信号配線などは、低抵抗実現のために広幅配線とすることが望まれる。広幅配線においては大きな粒径の結晶粒が成長する。ボイドの発生を防止するためには、ビア孔から広幅配線へのマイグレーションを低減することが有効と考えられる。

【0049】図1(A)は、本発明の実施例によるデュアルダマシン配線を形成するためのビア孔および上層配線用溝の形態を簡略化して示す。層間絶縁膜Iに、上層配線用溝Gが形成され、下層配線との接続部分にはビア孔VIAが形成される。ビア孔VIAの径は、上層配線用溝Gの幅よりも大幅に小さい。ビア孔VIAを取り囲むように、層間絶縁膜Iの残しパターンRIが形成されている。

【0050】すなわち、広幅配線からビア孔VIAに到達するためには、残しパターンRIで規定される幅の狭い部分を通過しなければならない。ビア孔VIAの周囲は、分散配置された残しパターンRIで実質的に囲まれるため、擬似的に細幅の配線となり、この領域における結晶粒の粒径は小さくなることが期待される。

【0051】図1(B)は、図1(A)に示した層間絶縁膜を用い、実際にデュアルダマシン配線を形成した上面のスケッチである。残しパターンRIに囲まれた領域においては、結晶粒の粒径が小さくなり、広幅配線部分の結晶粒の粒径とは大きく異なることが分かる。

【0052】図1(C)は、従来と同様広幅配線に直接ビアを接続し、層間絶縁膜の残しパターンRIは形成しなかった場合の上層配線表面の粒径分布を示すスケッチである。ビア孔VIAの上部においても、大きな粒径の結晶粒が形成され、広幅配線WLはほぼ均等な粒径の結晶粒で形成されていることが分かる。この場合、ビア孔VIA内部の結晶粒の粒径は広幅配線WLの結晶粒の粒径よりも大幅に小さいことになり、上述したようなストレスマイグレーションが生じることが考えられる。

【0053】図1(B)に示す構成においては、ビア孔VIA上部の上層配線の結晶粒が小さくなるため、ビア孔VIAから広幅配線WLに移動する配線構成原子のストレスマイグレーションが抑制されることが期待される。

【0054】図5(A)、(B)、(C)は、より具体的なデュアルダマシン配線の構成を示す平面図および断面図である。図5(B)は、図5(A)に示すVB-VBに沿う断面であり、図5(C)は、図5(A)におけるVC-VC線に沿う断面である。

【0055】図5(B)、(C)に示すように、下層絶縁層4に幅の狭い下層配線用溝G1がエッチングにより形成され、Ta<sub>2</sub>N等のバリアメタル層をスパッタリングで成膜した後、電解メッキにより主配線層である銅層を



形成する。下層絶縁層4上に形成された主配線層およびバリアメタル層をCMPにより除去する。下層配線5がこのようにして形成される。

【0056】下層配線5を覆って、下層絶縁層4上に層間絶縁膜7を形成する。層間絶縁膜の表面から、下層配線5に達するビア孔VIAを形成し、ビア孔VIAを含む領域に上層配線用溝G2が形成される。

【0057】図5(A)に示すように、ビア孔VIAを取り囲むように、上層配線用溝G2を形成しない絶縁膜の残しパターンRIを形成する。図の構成においては、ビア孔VIAを取り囲むように、内側に4個の残しパターンRI、外側に12個の残しパターンRIが形成されている。たとえば、各残しパターンRIは、一辺0.5 $\mu$ mの正方形であり、ピッチ1.2 $\mu$ m(残しパターン間の距離0.7 $\mu$ m)で配置する。

【0058】図5(B)、(C)に示すように、上層配線用溝G2およびビア孔VIAを埋め込むように、バリアメタル層をスパッタリングで形成し、電解メッキにより銅層を形成する。層間絶縁膜7表面上に形成された配線層をCMPにより除去し、上層配線10をパターンニングするとともに、層間絶縁膜7および残しパターンRIの表面を露出させる。図5(A)に示す平面構成となる。

【0059】図5(B)に示す位置の断面は、従来のダマシン配線と同様であるが、図5(C)の位置においては、層間絶縁膜の残しパターンRIがほぼ等間隔に分布している。従って、上層配線10は、ビア孔VIA近傍においては擬似的に細い幅の配線となる。

【0060】図5(A)においては、ビア孔VIAの周囲を2回りの残しパターンRIで囲んでいるが、残しパターンをどの程度形成すれば十分な効果が得られるかを確認するため、残しパターンを種々に変化させたサンプルを作成した。

【0061】図6(A)は、作成したサンプルの構成を概略的に示す平面図である。ビア孔VIAは、1辺0.3 $\mu$ mの正方形断面の孔であり、高さは0.7 $\mu$ mである。ビア孔VIAに接続される上層配線の幅は、10 $\mu$ mであり、ビア孔の周囲に1辺0.5 $\mu$ mの正方形断面の残しパターンRIを、ピッチ1.2 $\mu$ mでループL1、L2、L3、L4に沿って正方格子状に配置した。

【0062】すなわち、隣接する残しパターンRIは、その間に擬似的に幅0.7 $\mu$ mの細幅配線を画定する。ビア孔VIAを取り囲むように、残しパターンRIを、仮想的ループL1、L2、L3、L4に沿って配置した。なお、残しパターンRIの無いサンプル、残しパターンがループL1に沿って1回り(4個)形成されたサンプル、残しパターンRIがループL1、L2に沿って2回り形成されたサンプル、残しパターンRIがループL1、L2、L3、L4に沿って4回り形成されたサンプルを作成した。これらのサンプルにおいて不良率を測

定した。

【0063】図6(B)は、絶縁膜の残しパターンの配置ループ数に対する不良率の変化を示すグラフである。横軸は残しパターンのループ数を示し、縦軸は不良率を%で示す。

【0064】残しパターンが無い場合、前述のように不良率は約0.5%である。一回りの残しパターンを形成すると、不良率は約0.2%以下に減少し、2回りの残しパターンを形成すると、不良率はほぼ0%に近づいている。4回りの残しパターンを形成すると、不良率はほぼ0%である。

【0065】これらの結果から、不良率を低減するためには、残しパターンを少なくとも1回以上、好ましくは2回以上形成することが望ましい。残しパターンのループ数を増加させれば、不良率の低減はより確実となるが、残しパターンを多数形成することは、広幅配線の抵抗の増加につながる。従って、余り多数の残しパターンを形成することは、配線層の抵抗の観点から好ましくない。通常5回り以上の残しパターンを形成することは望ましくないであろう。

【0066】なお、上述の構成においては1.2 $\mu$ m平方の領域に0.5 $\mu$ m平方の絶縁パターンを形成した。これは、絶縁パターンの面積占有率としては、約17%となる。絶縁パターン間の距離を幾分増加させても同様の効果が期待できよう。ただし、絶縁パターンの面積占有率は、絶縁パターンの存在する領域内で約10%以上であることが望ましい。また、一辺2 $\mu$ m以上、好ましくは一辺5 $\mu$ m以上の矩形領域を含む領域に絶縁パターンを配置することが望ましい。

【0067】図7は、図5(A)に示す平面構成を有するデュアルダマシン配線を用いて多層配線を形成するより具体的な実施例を示す。図7(A)は、図5(A)におけるVIA-VIA線に沿う断面図であり、図7(B)は図5(A)におけるVIB-VIB線に沿う断面図である。

【0068】半導体基板SUBのp型領域内に、n型ウェルWnおよびp型ウェルWpが形成され、表面から素子分離用溝が形成され、素子分離用溝がSiO<sub>2</sub>等の絶縁物で埋め込まれ、CMPなどにより平坦化され、シャロートレンチアイソレーション(STI)の素子分離領域STIが形成されている。

【0069】ウェル領域上にゲート酸化膜と多結晶シリコンのゲート電極で形成された絶縁ゲート構造Gが形成され、その側壁にはサイドスペーサSSがSiO<sub>2</sub>等の絶縁物により形成されている。絶縁ゲート電極構造およびサイドスペーサを用い、2段階のイオン注入が行なわれ、LDD構造のソース/ドレイン領域LDDがそれぞれ形成されている。すなわち、n型ウェルWnにpチャネルMOSトランジスタが形成され、p型ウェルWpにnチャネルMOSトランジスタが形成されている。

【0070】半導体基板表面上に第1の層間絶縁膜11がSiO<sub>2</sub>等の絶縁膜により形成されている。第1の層間絶縁膜11を貫通し、ソース/ドレイン領域に達するコンタクト孔が形成され、コンタクト孔を埋め込んでタングステン(W)プラグ12が形成されている。なお、ブランケットW層を形成した場合、第1の層間絶縁膜11上に形成されたW層は、エッチバック、CMPなどにより除去される。

【0071】第1の層間絶縁膜上に、第2の層間絶縁膜13がSiO<sub>2</sub>等の絶縁物により形成されている。第2の層間絶縁膜に第1金属配線用溝G1が形成され、溝G1内にダマシン配線14が銅などにより形成される。第1のダマシン配線14を形成した後、基板表面上にSiN層16、SiO<sub>2</sub>層17の積層等により第3の層間絶縁膜が形成される。

【0072】第3の層間絶縁膜の上に、さらにSiN層3、SiO<sub>2</sub>層4が積層され、第4の層間絶縁膜が形成されている。第4の層間絶縁膜、第3の層間絶縁膜を選択的に除去したビア孔に、第1の金属配線層14に接続されるビア導電体5vが形成されている。また、第4の層間絶縁膜を選択的に除去した配線用溝に第2の金属配線層5が形成される。製造工程としては、第2の金属配線層形成と同時に、ビア孔を埋めるビア導電体も形成される。第2の金属配線層5は、幅1μ以下の細幅配線である。

【0073】第7図(B)に示すように、第4の層間絶縁膜の上に、SiN層6、SiO<sub>2</sub>層7の積層により第5の層間絶縁膜、SiN層21、SiO<sub>2</sub>層22の積層により第6の層間絶縁膜が形成される。図5(A)に示すようなパターンの広幅配線用溝G3が第6の層間絶縁膜に形成されている。

【0074】図7(A)に示すように、広幅配線用溝G3の底面からビア導電体5vの表面に達するビア孔VIAが形成されている。広幅配線用溝G3のビア孔VIA近傍領域には、図7(B)に示すように第5の層間絶縁膜の残しパターンRIが形成されている。残しパターンRIは、図5(A)に示すように分布している。

【0075】広幅配線用溝G3およびビア孔VIAの表面にTa<sub>2</sub>N等のバリア金属層を形成し、凹部を埋め込むように銅メッキ層を形成して、第3金属配線層10とビア導電体9を形成する。第6の層間絶縁膜上の配線層はCMPにより除去される。第3金属配線層10は、SiO<sub>2</sub>層22と共通表面を形成する。第3金属配線層10を覆って、SiO<sub>2</sub>層22表面上にSiN層23が形成される。

【0076】図8(A)、(B)、図9(A)、(B)、図10(A)、(B)は、図7(A)、(B)に示す配線構造を作成する製造工程を概略的に示す断面図である。半導体基板SUBには、公知の方法により素子分離領域STIが形成され、各ウェルの上には絶縁ゲ

ート電極構造GEが形成されている。絶縁ゲート電極構造GEを埋め込むように、SiO<sub>2</sub>層11をCVDにより形成する。

【0077】SiO<sub>2</sub>層11の表面から、所定のMOSトランジスタのソース/ドレイン領域LDDに達するコンタクト孔が形成され、コンタクト孔を埋め込むタングステンプラグ12が形成される。タングステンプラグ12を形成した後、SiO<sub>2</sub>層11を覆って、他のSiO<sub>2</sub>層13が形成される。

【0078】SiO<sub>2</sub>層13の上にレジストパターンを形成し、第1金属配線用溝G1がエッチングで形成される。第1金属配線用溝G1を形成した後、Ta<sub>2</sub>N等のバリア層をスパッタリングで成膜し、電解メッキにより銅層を形成する。SiO<sub>2</sub>層13表面上の、銅層およびバリア金属層をCMP等により研磨して除去する。このようにして、第1金属配線層14が形成される。第1金属配線層14を覆って、SiO<sub>2</sub>層13の表面にSiN層16がCVD等により形成される。

【0079】図8(B)に示すように、SiN層16の上に、SiO<sub>2</sub>層17をCVDにより形成し、その上にさらにSiN層3、SiO<sub>2</sub>層4をCVDにより形成する。

【0080】図9(A)に示すように、たとえばSiO<sub>2</sub>層4の表面上にレジストパターンを形成し、SiO<sub>2</sub>層4表面からSiN層16の表面に達するビア孔を形成する。その後、レジストパターンは除去する。

【0081】図9(B)に示すように、必要に応じてビア孔をレジスト等で埋め込んだ後、SiO<sub>2</sub>層4表面上に他のレジストパターンを形成し、SiO<sub>2</sub>層4をエッチングし、SiN層3表面に達する配線用溝を形成する。その後、溝およびビア孔底面に露出したSiN層3、16をエッチングすることにより、図9(B)に示す配線用溝G2およびビア孔VIA1を形成する。ビア孔VIA1の底面には、第1金属配線層14の表面が露出する。

【0082】図10(A)に示すように、配線用溝G2、ビア孔VIA1の表面にTa<sub>2</sub>N等のバリア金属層をスパッタリングで成膜した後、電解メッキにより銅層5を作成する。

【0083】図10(B)に示すように、銅層5をCMPにより研磨し、SiO<sub>2</sub>層4の表面を露出させる。この時、銅層5は配線用溝G2およびビア孔VIA1を埋め込んで第2金属配線層5およびビア導電体5vを構成する。

【0084】その後、第2金属配線層5を覆ってSiO<sub>2</sub>層4の上にSiN層6、SiO<sub>2</sub>層7、SiN層21、SiO<sub>2</sub>層22を積層する。その後、図9(A)、(B)、図10(A)、(B)同様の工程を行ない、図7(A)、(B)に示すような広幅の第3金属配線層10およびそれに接続するビア導電体9を形成する。第3



金属配線層10を覆って、 $\text{SiO}_2$ 層22の上に $\text{SiN}$ 層23を形成すると、図7(A)、(B)の構成となる。

【0085】以上説明した実施例においてはビア孔の周囲にピラー状に絶縁層を残し、ビア孔上の広幅配線層の結晶粒径を制御した。結晶粒径の制御は、ビア孔に接続される配線そのものの幅を制限することによっても行うことができる。

【0086】図11(A)、(B)は、本発明の他の実施例による配線構造を示す。図11(A)が平面構成を示し、図11(B)が断面構成を示す。基板SUBから第2金属配線層5までの構成は図7(A)同様である。第2金属配線層5を覆って $\text{SiN}$ 層6、 $\text{SiO}_2$ 層7、 $\text{SiN}$ 層21、 $\text{SiO}_2$ 層22を積層し、層間絶縁膜を形成する。

【0087】 $\text{SiO}_2$ 層22の表面にレジストパターンを作成し、 $\text{SiO}_2$ 層22をエッチングし、配線用溝G3の形状を作成する。次に、ビア孔VIAの形状の開口を有するレジストパターンを作成し、 $\text{SiN}$ 層21、 $\text{SiO}_2$ 層7をエッチングしてビア孔VIAの形状を作成する。これらの配線用溝およびビア孔の底面に露出した $\text{SiN}$ 層をエッチングすると、配線用溝G3およびビア孔VIAが完成する。

【0088】配線用溝およびビア孔にバリアメタル層をスパッタリングで形成し、電解メッキで銅層を作成し、CMPで研磨することにより、広幅配線10、細幅配線30、ビア導電体9が作成される。ビア導電体9は、図11(A)に示すように、細幅配線30を介して広幅配線10に接続される。細幅配線30は、銅の結晶粒径が十分小さくなるような幅と長さを有する。

【0089】本発明者らは、ビア孔VIAが、一辺0.3 $\mu\text{m}$ の正方形断面を有し、細幅配線30が幅0.3 $\mu\text{m}$ である場合、細幅配線30の長さによる不良率の変化を調べた。

【0090】図12は、細幅配線の長さによる不良率の変化を示すグラフである。細幅配線の長さが0のサンプルと、細幅配線の長さが2 $\mu\text{m}$ のサンプルを調べた。細幅配線の長さが0のサンプルは、図2と類似の構成である。ただし、下層配線の幅は0.3 $\mu\text{m}$ である。

【0091】細幅配線の長さが0の場合、不良率は約1%であった。細幅配線の長さが約2 $\mu\text{m}$ の場合、不良率は約0%となった。このように、細幅配線の長さを十分な長さとするれば、ストレスマイグレーションを十分抑制することができると考えられる。なお、細幅配線の幅が0.3 $\mu\text{m}$ の場合を確認したが、細幅配線の幅は約2 $\mu\text{m}$ 以下であればよいであろう。幅約1 $\mu\text{m}$ 以下であることがより好ましい。

【0092】図2(D)で示したように、配線幅が2 $\mu\text{m}$ を越える場合、ストレスマイグレーションが問題となる。しかしながら、比較的細い幅、たとえば幅約3 $\mu\text{m}$

の配線においては、幅方向に多数の絶縁ピラーを配置することが困難なこともある。

【0093】図13(A)、(B)、(C)は、比較的幅の狭い広幅配線に、絶縁ピラーを配置した実施例を示す。図13(B)、(C)は、図13(A)におけるXIIB-XIIB線およびXIIIC-XIIC線に沿う断面図である。図13(B)において、下層配線5がビア導電体9を介して上層配線10に接続されている。

【0094】図13(C)の断面においては、下層配線は左方からビア孔下の領域まで延在しているが、上層配線10は、絶縁ピラーPにより分断された構成となっている。なお、上層配線10の上には $\text{SiN}$ 層23、 $\text{SiO}_2$ 層24が形成され、さらに上層配線を形成することができる。

【0095】配線幅が比較的狭いため、絶縁膜の残しパターンで形成した絶縁ピラーを2回り配置しようとしても、2回り目を完全に配置することはできない。しかしながら、1回りのみの絶縁ピラーによってはビア孔周囲の配線の結晶粒径の抑制は、不十分となることもある。

【0096】このような場合、図に示すように、配線長方向においては、2重に絶縁ピラーを配置する。配線幅方向には、2重に絶縁ピラーを配置していないが、配線溝の絶縁体側面がピラー同様の機能を果たし、十分な粒径抑制効果を期待することができる。

【0097】図14、図15(A)、(B)、図16(A)、(B)は、本発明の他の実施例による配線構造を示す。図14は平面構成を示し、図15(A)、(B)は、図14におけるXVA-XVA線に沿う断面およびXVB-XVB線に沿う断面を示す。図16(A)、(B)は、図14におけるXVIA-XVIA線に沿う断面およびXVIB-XVIB線に沿う断面を示す。

【0098】図14に示すように、広幅配線10の中に絶縁パターンを形成し、絶縁パターン中にビア孔VIAから広幅配線10に接続する細幅配線を形成している。広幅配線10の中央部に設けられた細幅配線30cは、U字型絶縁パターン22cにより三方を囲まれており、たとえば幅約0.3 $\mu\text{m}$ 、ビア孔の端部から広幅配線の端部までの距離約2 $\mu\text{m}$ を有する。ビア孔VIAは、例えば一辺0.3 $\mu\text{m}$ の正方形断面を有する。

【0099】広幅配線10の端部近傍に設けられたビア孔に接続する細幅配線30pは上方と右方とをクランク形状の絶縁パターン22pにより画定され、たとえば幅約0.3 $\mu\text{m}$ 、ビア孔端部から広幅配線端部までの距離約2 $\mu\text{m}$ を有する。すなわち、ビア孔と広幅配線とを細幅配線が接続する点に関しては、図11の実施例と同様である。

【0100】図15(A)、(B)は、広幅配線10の中央部に設けられたビア孔近傍の構成を示す。下層 $\text{SiO}_2$ 層17の上に、 $\text{SiN}$ 層3、 $\text{SiO}_2$ 層4の積層が形成され、これらに下層配線用溝G1が形成されている。下

層配線用溝G1は、下層配線5で埋め込まれている。

【0101】下層配線5の上にはSiN層6、SiO<sub>2</sub>層7、SiN層21、SiO<sub>2</sub>層22の積層が形成され、SiO<sub>2</sub>層22、SiN層21に上層配線用溝G2が形成され、上層配線用溝G2の底面からSiO<sub>2</sub>層7、SiN層6を貫通するビア孔VIAが形成されている。ビア孔VIAを埋め込んでビア導電体9が形成され、上層配線用溝G2を埋め込んで上層配線層30c、10が形成されている。

【0102】ビア孔VIAを埋めたビア導電体9は、広幅の上層配線10に直接接続されるのではなく、その上部で細幅配線30cに接続され、細幅配線30cが広幅上層配線10に接続されている。

【0103】図15(B)に示すように、細幅配線30cは、ビア導電体9と同じ幅を有する。なお、細幅配線30cは、必ずしもビア導電体と同じ幅を有する必要はなく、2μm以下の幅であればよい。細幅配線30cの長さは、銅の結晶粒径を十分小さくできる長さ、たとえば2μm以上、に選択する。

【0104】図16(A)、(B)は、広幅配線端部に設けた細幅配線の構成を示す。図16(A)に示すように、ビア導電体9は先ず細幅配線30pに接続され、細幅配線30pは、広幅配線10に接続されている。細幅配線30pの右側は、SiN層21、SiO<sub>2</sub>層22の積層により画定されている。

【0105】図16(B)に示すように、細幅配線30pは、ビア導電体9と同じ幅を有する。なお、細幅配線30pは、必ずしもビア導電体と同じ幅を有する必要はなく、2μm以下の幅であればよい。細幅配線30pの長さは、銅の結晶粒径を十分小さくできる長さ、たとえば2μm以上、に選択する。

【0106】図11、図14においては、ビア導電体を一つの細幅配線で広幅配線に接続した。ビア導電体を複数の細幅配線を介して広幅配線に接続することもできる。

【0107】図17(A)、(B)、(C)は、本発明の他の実施例による配線構造を示す。図17(A)に示すように、広幅配線10の中央部にビア孔VIAが配置されている。ビア孔VIAを挟むように、絶縁ストライプS1、S2が形成され、ビア孔に接続される2つの細幅配線30x、30yを画定している。

【0108】ビア孔端部から広幅配線までの細幅配線30x、30yは、それぞれ幅約0.3μm、長さ約2μmを有する。

【0109】図17(B)は、図17(A)のXVII B-XVII B線に沿う断面構成を示す。下層配線5は、ビア導電体9を介して細幅配線30x、30yに接続されている。

【0110】図17(C)は、図17(A)におけるXVII C-XVII C線に沿う断面構成を示す。ビア導電体9上部で、細幅配線30はビア導電体9と同様の幅を有する。

その両側には絶縁ストライプS1、S2が形成され、細幅配線30の幅を画定している。その他の点は前述の実施例同様である。

【0111】本実施例によれば、左右両側の広幅配線10は、細幅配線30によっても接続され、細幅配線30が左右の広幅配線を接続する配線の一部として有効に働く。ビア導電体9も、2方向で広幅配線に接続されるため、より低抵抗の配線となる。なお、ビア導電体を2本の細幅配線で広幅配線に接続する場合を説明したが、3本以上の細幅配線で接続することも可能である。

【0112】図18(A)、(B)、(C)は、半導体集積回路の構成を示す概略図である。図18(A)は、半導体チップの平面構成を概略的に示す。半導体チップ40の周辺部には、パッド42が多数形成されており、その内のいくつかは電源用パッドである。電源用パッドには、電源配線44が接続されている。電源用配線44は、図中縦方向に複数本並列に配置され、これら複数本の配線が電源パッド側の端部において、一本の電源配線45にまとめられ、この電源配線が複数の電源用パッドに接続されている。電源用配線44のそれぞれは、他の配線と比較すると、幅の広い広幅配線である。

【0113】図18(B)は、広幅配線である電源配線の構成を概略的に示す。電源配線44は、下層の配線46とビアを介して接続される。下層配線46は、例えば信号配線であり、広幅配線44と比較すると著しく小さな幅を有する。

【0114】図18(C)は、下層配線と広幅配線の接続の様子を示す断面図である。半導体基板SUBには、STIによる素子分離領域STIが形成されている。絶縁ゲート電極Gが半導体表面に形成されトランジスタを構成する。

【0115】タングステンプラグ12は、トランジスタのソース/ドレイン領域接続用コンタクトプラグである。コンタクトプラグ12は、絶縁層11中に埋め込まれて形成された下層配線14に接続されている。下層配線14の上には、SiN層16、SiO<sub>2</sub>層17による層間絶縁膜が形成され、その表面部には中間配線5およびビア導電体5vが形成されている。

【0116】中間配線5の上には、SiN層6、SiO<sub>2</sub>層7の積層による層間絶縁膜が形成され、電源配線44およびビア導電体9が層間絶縁膜中に形成されている。電源配線44の上には、SiN層23が形成されている。幅の広い電源配線44は、ビア導電体9、5vを介して下層配線14に接続され、さらにタングステンプラグ12を介してトランジスタのソース/ドレイン領域に接続されている。

【0117】図19は、中央演算装置(CPU)の半導体チップの構成例を示す。半導体チップ40の周辺部には、多数のパッド42が配置されている。チップ中央部の領域にクロック発生回路46が形成されている。クロ

ック発生回路46は、種々の回路のタイミングを調整するクロック信号を発生する。このクロック信号は、クロック信号用配線48により半導体チップ40上の種々の回路に供給されている。

【0118】クロック信号は、種々の回路の同期をとるものであり、低抵抗の配線で形成することが望まれる。このため、クロック信号用配線48は、幅の広い配線で形成されている。図においては、複数本のクロック信号用配線48が縦方向に並列に配置され、これらのクロック信号用配線は、中継配線49によりまとめられ、クロック発生回路46に接続されている。

【0119】なお、クロック発生回路46から直接クロック信号を供給されるクロック信号用配線もある。チップ内における各回路は、図18(C)に示したような配線構造により、クロック信号用配線48に接続される。

【0120】なお、1つのチップ内に図18(A)に示すような電源配線と図19に示すようなクロック配線とを有する半導体装置を形成してもよい。特に、CPUのように、高速動作が望まれる半導体装置においては、電源配線とクロック信号用配線を広幅配線で形成することが望ましい。この場合、電源配線とクロック信号配線は異なる配線層とすることもできる。

【0121】以上実施例に沿って本発明を説明したが、本発明はこれらに制限されるものではない。たとえば、銅配線として、銅のほか、Nb、Zrなどを含む銅合金を用いてもよい。絶縁層として、SiO<sub>2</sub>、SiN以外の材料を用いてもよい。種々の変形、改良、組みあわせなどが可能なことは当業者に自明であろう。

【0122】本発明につき以下を開示する。

【0123】

【付記1】 下層配線構造と、前記下層配線構造を覆う層間絶縁膜と、前記層間絶縁膜の上面から形成された配線用溝、および前記配線用溝の内部領域の下面から前記層間絶縁膜を貫通し、前記下層配線構造まで達し、前記配線用溝の幅よりも狭い径を有するビア孔と、前記ビア孔の外側の領域で、前記配線用溝の下面から上方に突出し、前記層間絶縁膜と同一材料で形成された絶縁突起パターンであって、前記ビア孔近傍の第1の配線用溝内領域における前記絶縁突起パターンの第1の面積占有率は前記ビア孔から離れた第2の配線用溝内領域における前記絶縁突起パターンの第2の面積占有率より高い絶縁突起パターンと、前記配線用溝と前記ビア孔とを埋め込んで形成されたデュアルダマシン配線とを有するダマシン配線構造。

【0124】

【付記2】 前記配線用溝は、約2μmを越える幅を有する付記1記載のダマシン配線構造。

【0125】

【付記3】 前記ビア孔の径は、約1μm以下である付記2記載のダマシン配線構造。

【0126】

【付記4】 前記絶縁突起パターンは、前記ビア孔の近傍に分散配置された複数の絶縁突起を含む付記1記載のダマシン配線構造。

【0127】

【付記5】 前記第1の面積占有率は、約10%以上である付記4記載のダマシン配線構造。

【0128】

【付記6】 前記ビア孔近傍の第1の配線用溝内領域は、前記ビア孔を含み、1辺が2μmの矩形領域である付記5記載のダマシン配線構造。

【0129】

【付記7】 前記ビア孔近傍の第1の配線用溝内領域は、前記ビア孔を含み、1辺が5μmの矩形領域である付記5記載のダマシン配線構造。

【0130】

【付記8】 前記複数の絶縁突起は、前記ビア孔を囲む少なくとも1つのループに沿って、ほぼ等間隔で配置され、その間に前記デュアルダマシン配線の細幅領域を画定する第1の複数の絶縁突起を含む付記4記載のダマシン配線構造。

【0131】

【付記9】 前記少なくとも1つのループは、4つ以下のループである付記8記載のダマシン配線構造。

【0132】

【付記10】 前記複数の絶縁突起は、配線長方向に関して前記第1の複数の絶縁突起の外側に配置された第2の複数の絶縁突起を含む付記8記載のダマシン配線構造。

【0133】

【付記11】 前記絶縁突起パターンは、前記ビア孔の周辺を、一部領域を除いて取り囲む付記1記載のダマシン配線構造。

【0134】

【付記12】 前記絶縁突起パターンは、前記ビア孔を取り囲むように配置されたU字型絶縁突起パターンを含み、前記デュアルダマシン配線は、前記U字の開口部に沿って延在する細幅配線と、前記ビア孔から離れた位置で前記細幅配線に接続され、前記細幅配線よりも広い幅を有する広幅配線とを含む付記7記載のダマシン配線構造。

【0135】

【付記13】 前記細幅配線は、前記ビア孔の径の5倍以下、または約1μm以下の幅を有する付記12記載のダマシン配線構造。

【0136】

【付記14】 前記細幅配線は、前記ビア孔の端部から前記広幅配線までの距離が2μm以上である付記12記載のダマシン配線構造。

【0137】

【付記 15】 前記絶縁突起パターンは、前記ビア孔を挟んで配置された 2 つの絶縁突起ストライプを含む付記 11 記載のダマシン配線構造。

【0138】

【付記 16】 前記デュアルダマシン配線は、前記ビア孔に接続され、前記 2 つの絶縁突起ストライプに挟まれた細幅配線と、前記 2 つの絶縁突起ストライプの両端で、前記ビア孔から離れた位置で前記細幅配線に接続され、前記細幅配線よりも広い幅を有する広幅配線とを含む付記 15 記載のダマシン配線構造。

【0139】

【付記 17】 前記細幅配線は、前記ビア孔の径の 5 倍以下、または約  $1\ \mu\text{m}$  以下の幅を有する付記 16 記載のダマシン配線構造。

【0140】

【付記 18】 前記細幅配線は、前記ビア孔の端部から前記広幅配線までの距離が  $2\ \mu\text{m}$  以上である付記 16 記載のダマシン配線構造。

【0141】

【付記 19】 半導体基板と、前記半導体基板上に形成された集積回路構造と、前記集積回路構造の上方に形成された多層配線と、前記半導体基板上に形成された複数のパッドとを含み、前記多層配線が下層配線構造と、前記下層配線構造を覆う層間絶縁膜と、前記層間絶縁膜の上面から形成された配線用溝、および前記配線用溝の内部領域の下面から前記層間絶縁膜を貫通し、前記下層配線構造まで達し、前記配線用溝の幅よりも狭い径を有するビア孔と、前記ビア孔の外側の領域で、前記配線用溝の下面から上方に突出し、前記層間絶縁膜と同一材料で形成された絶縁突起パターンであって、前記ビア孔近傍の領域における前記絶縁突起パターンの第 1 の面積占有率は前記ビア孔から離れた領域における前記絶縁突起パターンの第 2 の面積占有率より高い絶縁突起パターンと、前記配線用溝と前記ビア孔とを埋め込んで形成されたデュアルダマシン配線とを有する半導体装置。

【0142】

【付記 20】 前記複数のパッドが、電源用パッドを含み、前記デュアルダマシン配線が前記電源用パッドに接続されている付記 19 記載の半導体装置。

【0143】

【発明の詳細な説明】

【0144】

【発明の属する技術分野】 本発明は、配線構造または配線構造を有する半導体装置に関し、特にダマシン配線構造またはダマシン配線構造を有する半導体装置に関する。

【0145】

【発明の効果】 以上説明したように、本発明によれば、デュアルダマシン工程を用いて広幅配線を形成する場合、ストレスマイグレーションによる不良発生を抑制す

ることが可能となる。

【0146】 信頼性の高い半導体装置を高い歩留まりで製造することができる。

【図面の簡単な説明】

【図 1】 本発明の基本的実施例を説明するための平面図および配線層内の結晶粒の分布を示すスケッチである。

【図 2】 本発明者等の行った実験を説明するための平面図、断面図、グラフである。

【図 3】 本発明者等の行った実験を説明するための平面図、断面図、グラフである。

【図 4】 図 3 のサンプルにおける透過型電子顕微鏡写真のスケッチである。

【図 5】 本発明の実施例による配線構造を説明する平面図および断面図である。

【図 6】 本発明の実施例による配線構造を説明する概略平面図およびグラフである。

【図 7】 本発明の実施例による配線構造を示す半導体装置の断面図である。

【図 8】 図 7 の半導体装置を製造する製造工程を示す断面図である。

【図 9】 図 7 の半導体装置を製造する製造工程を示す断面図である。

【図 10】 図 7 の半導体装置を製造する製造工程を示す断面図である。

【図 11】 本発明の実施例による配線構造を有する半導体装置の平面図および断面図である。

【図 12】 図 11 の実施例による不良率の測定結果を示すグラフである。

【図 13】 本発明の実施例による配線構造を示す平面図および断面図である。

【図 14】 本発明の実施例による配線構造を示す平面図である。

【図 15】 図 14 の配線構造の断面図である。

【図 16】 図 14 の配線構造の断面図である。

【図 17】 本発明の実施例による配線構造を示す平面図および断面図である。

【図 18】 本発明の実施例による半導体装置の構成を示す平面図および断面図である。

【図 19】 本発明の実施例による半導体装置の構成を示す平面図である。

【図 20】 従来の技術を説明するための断面図である。

【符号の説明】

VIA: ビア孔

RI: 絶縁層の残しパターン

G: 配線用溝

WL: 広幅配線

P: 絶縁ビラー

4、7、11、13、22:  $\text{SiO}_2$  層

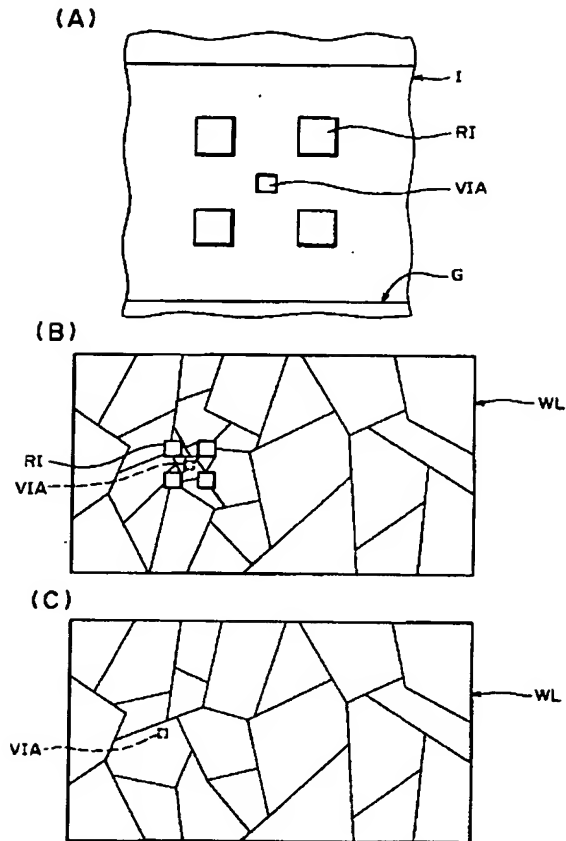
3、6、16、21:  $\text{SiN}$  層

5、14: 配線

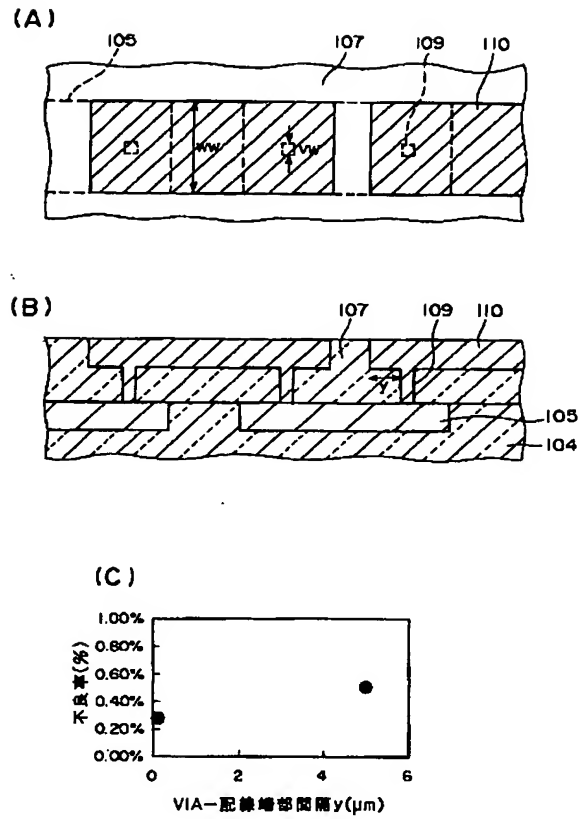
9:ビア導電体  
10:広幅配線

30:細幅配線

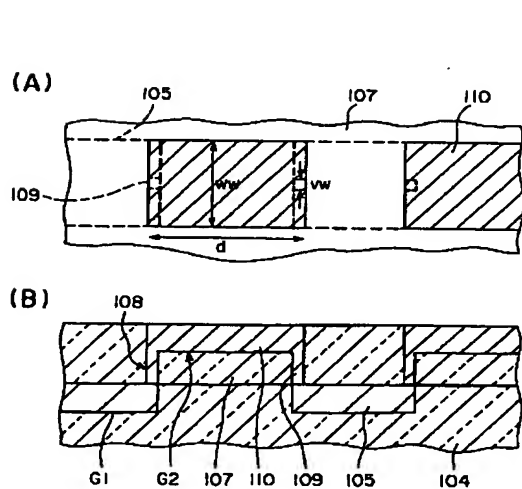
【図1】



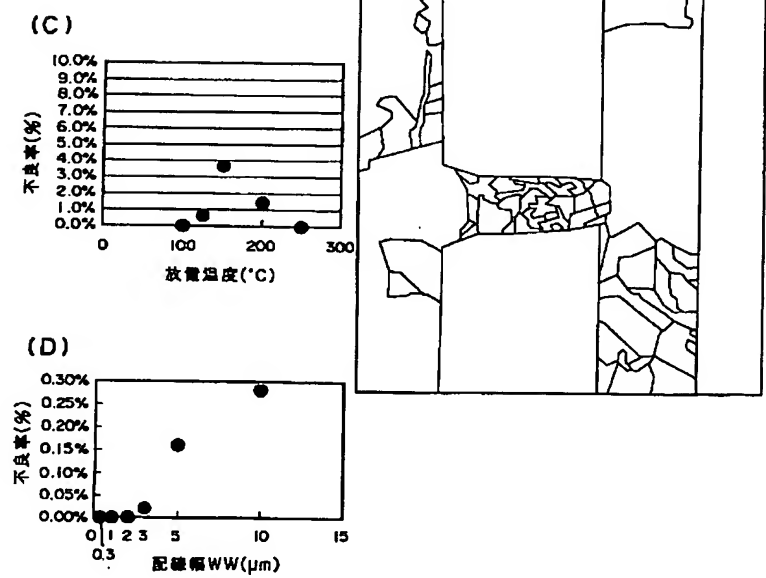
【図3】



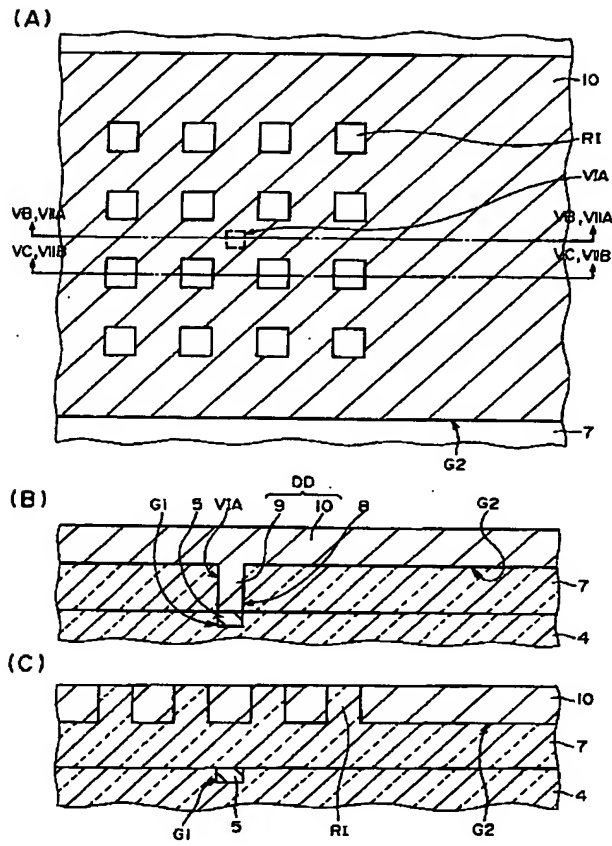
【図2】



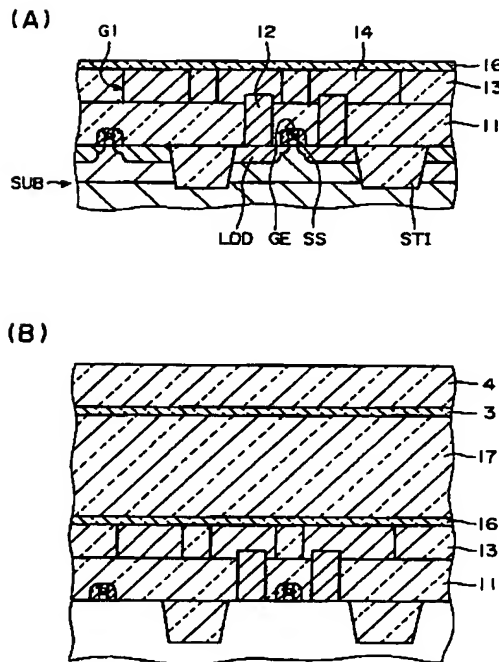
【図4】



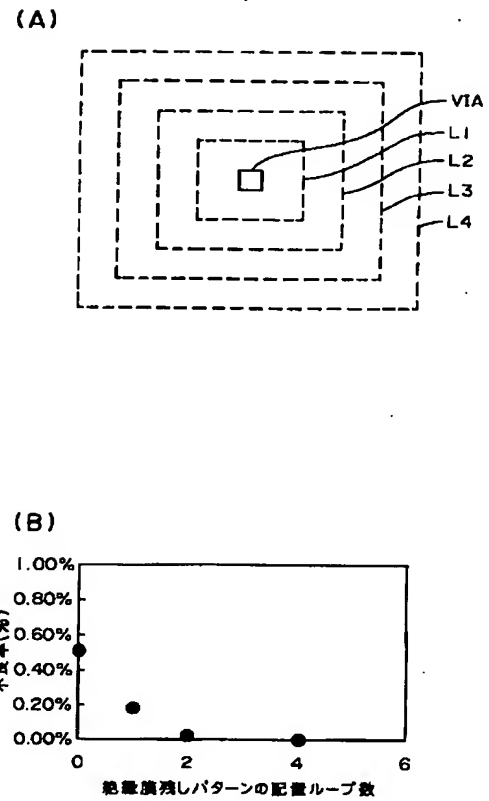
【図5】



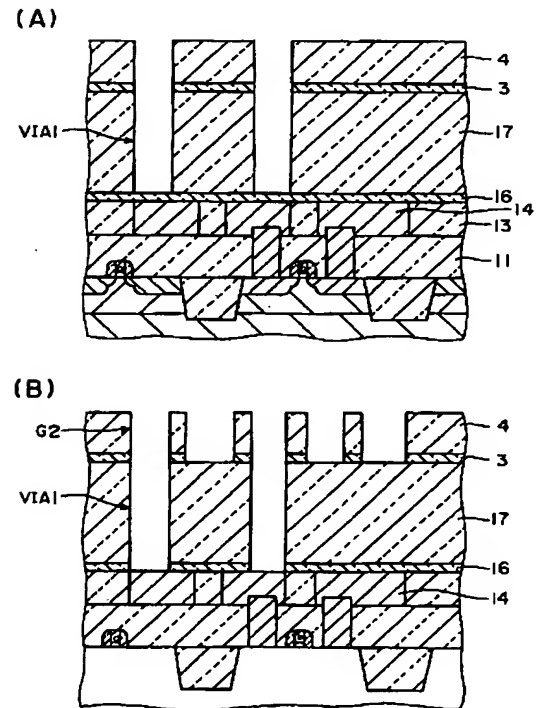
【図8】



【図6】

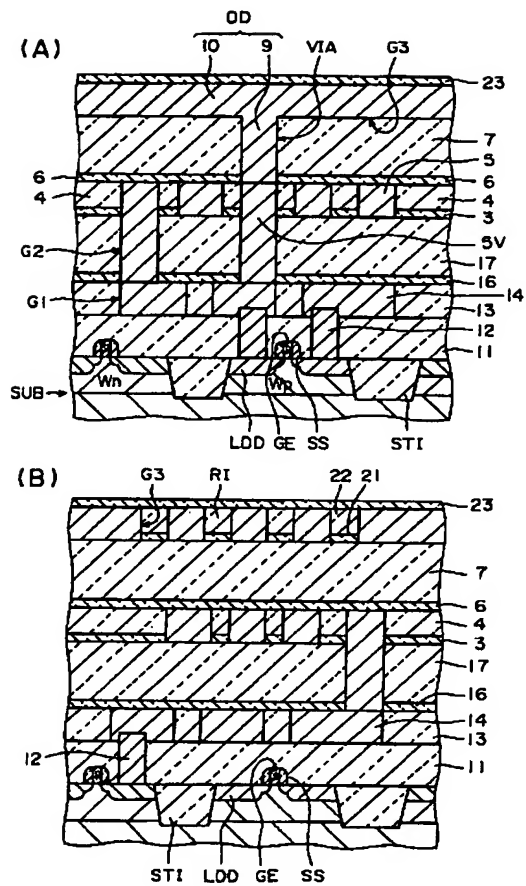


【図9】

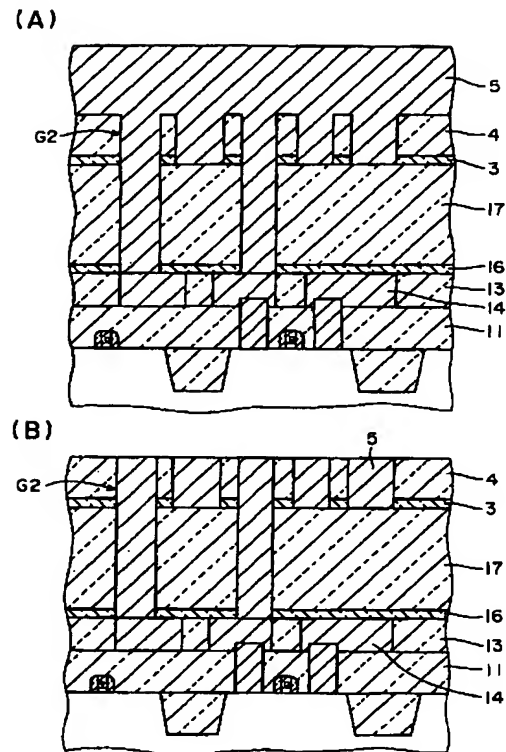




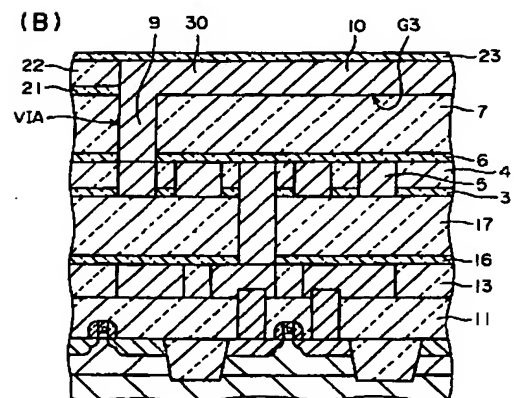
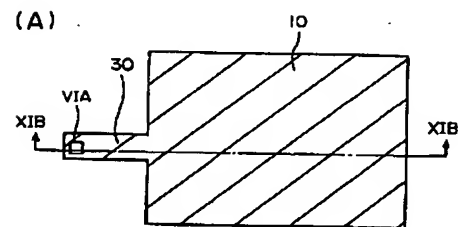
【図7】



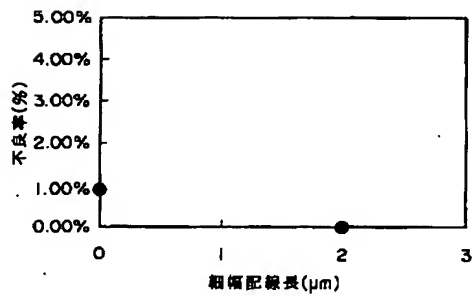
【図10】



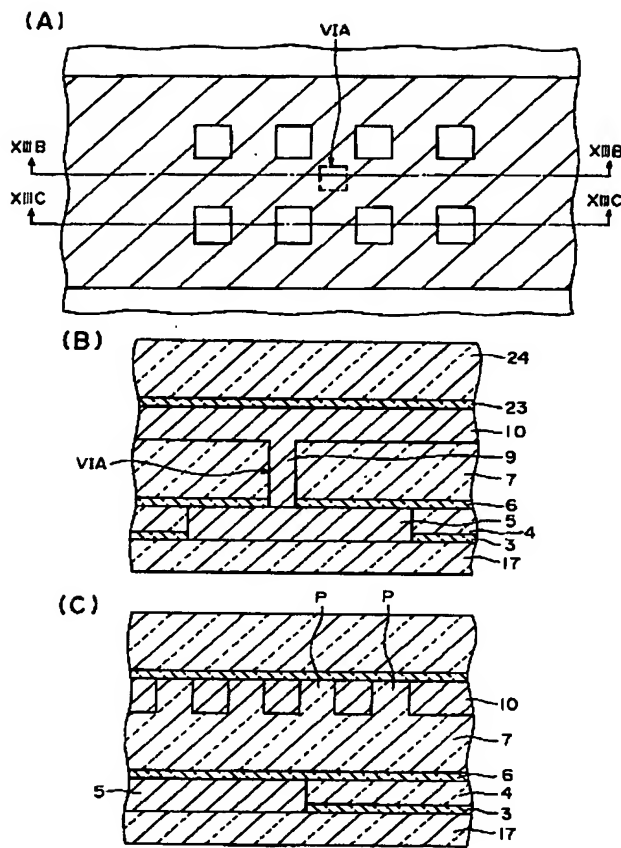
【図11】



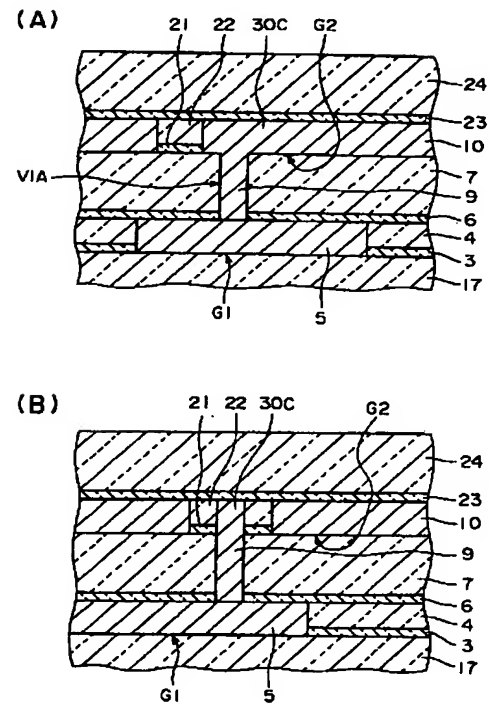
【図12】



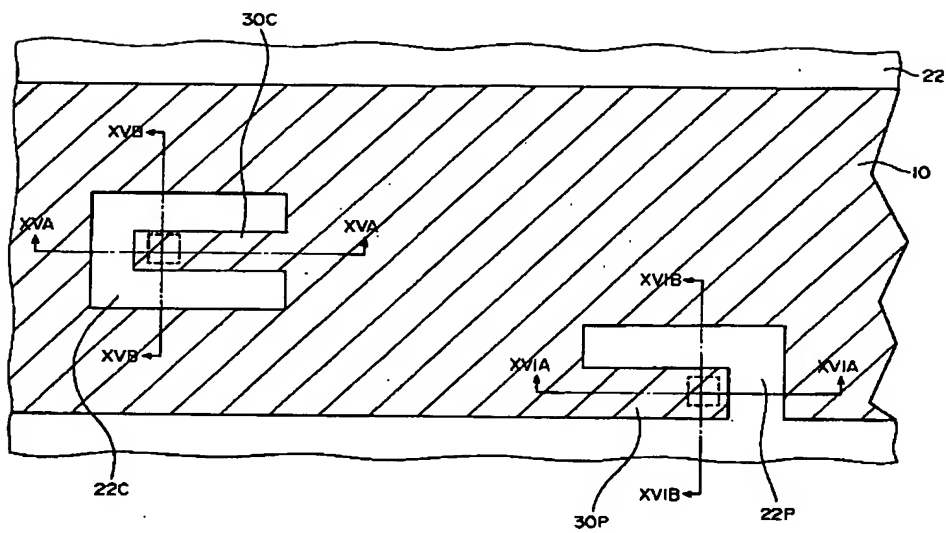
【図13】



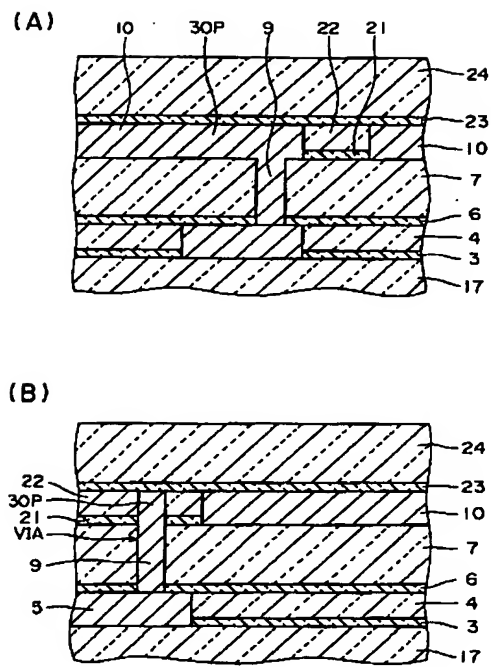
【図15】



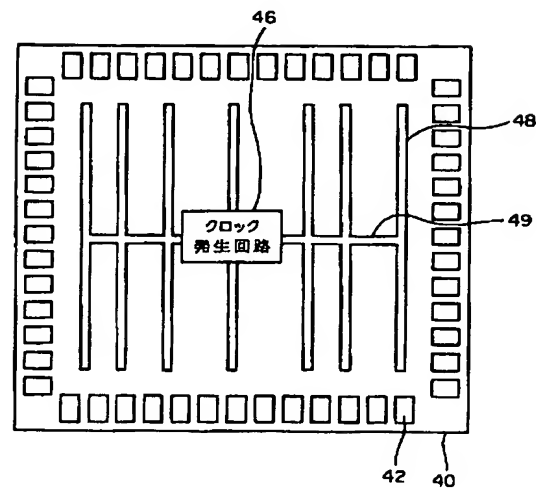
【図14】



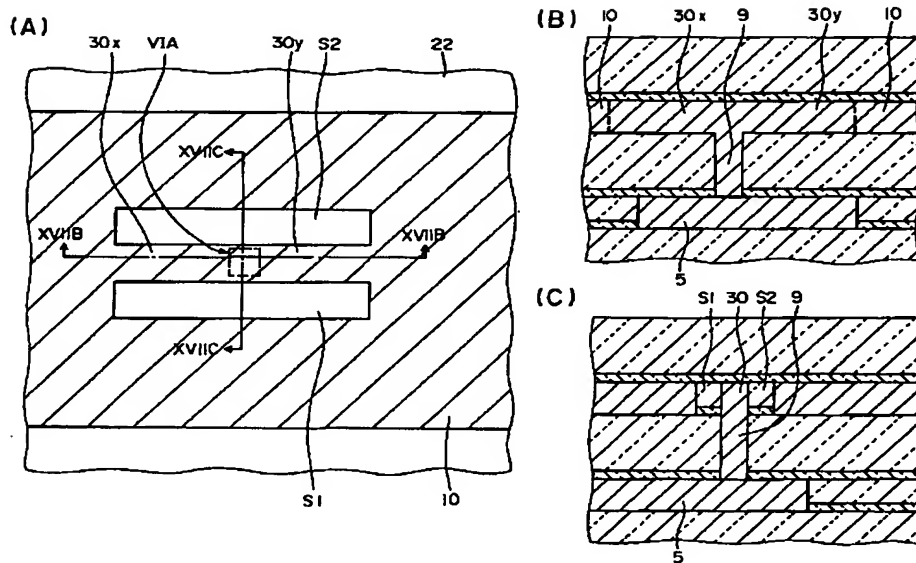
【図16】



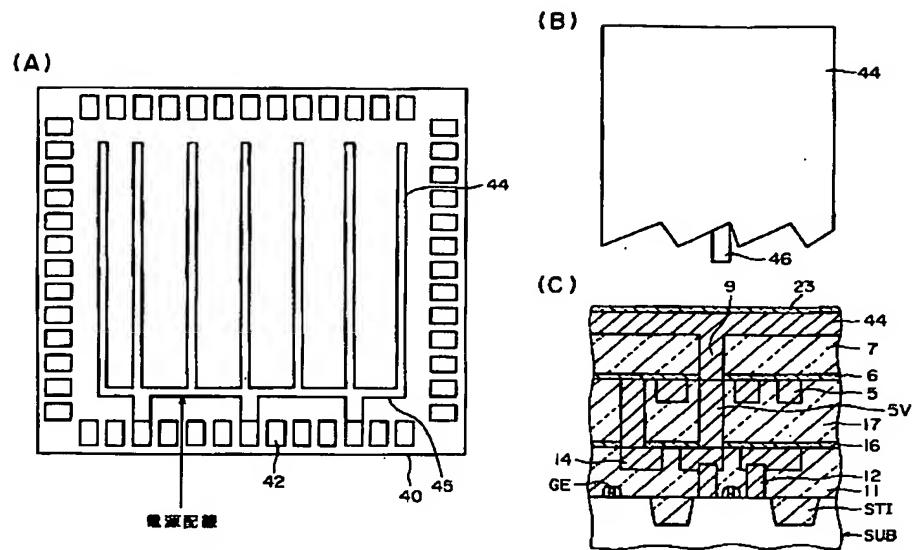
【図19】



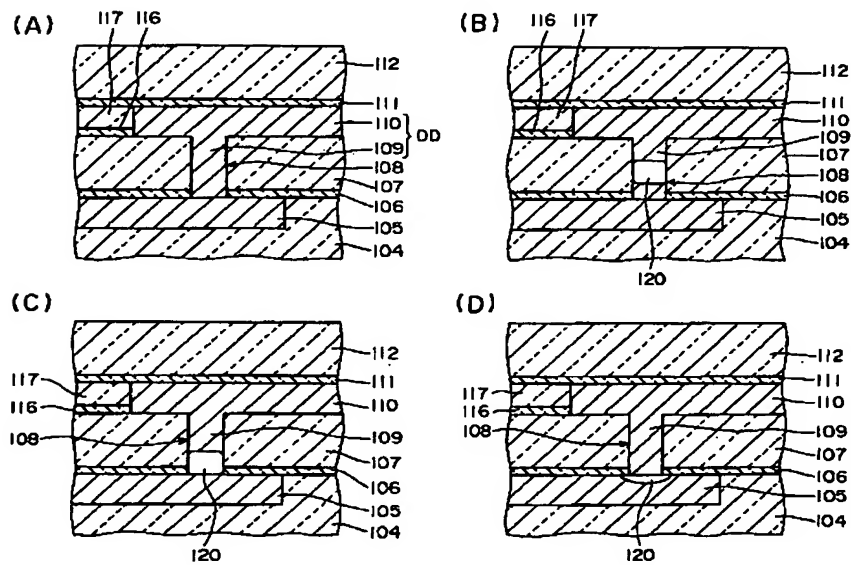
【図17】



【図18】



【図20】



フロントページの続き

Fターム(参考) 5F033 HH11 HH12 HH32 JJ11 JJ12  
 JJ19 JJ32 KK01 KK11 KK12  
 KK32 MM02 MM12 MM13 MM21  
 NN06 NN07 PP15 PP27 QQ08  
 QQ09 QQ31 QQ37 QQ48 RR04  
 RR06 SS11 VV04 VV07 WW01  
 XX06